



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0054169
Application Number

출원 년 월 일 : 2002년 09월 09일
Date of Application SEP 09, 2002

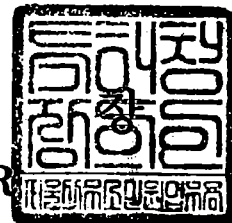
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.09.09
【발명의 명칭】	서로 상보되는 데이터를 갖는 메모리 셀들이 배열되는 메모리 장치
【발명의 영문명칭】	Memory device arranged memory cells having complementary data
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	최문규
【성명의 영문표기】	CHOI, MUN KYU
【주민등록번호】	710606-1635212
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 청명마을 주공4단지 403동 206호
【국적】	KR
【발명자】	
【성명의 국문표기】	전병길
【성명의 영문표기】	JEON, BYUNG GIL
【주민등록번호】	661027-1775414
【우편번호】	441-390

【주소】 경기도 수원시 권선구 권선동 1306 현대아파트 312동 705호
【국적】 KR
【발명자】
【성명의 국문표기】 김기남
【성명의 영문표기】 KIM, KI NAM
【주민등록번호】 580414-1273118
【우편번호】 449-846
【주소】 경기도 용인시 수지읍 풍덕천리 1168번지 진산마을 삼성5차 아파트 5 17동 604호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)
【수수료】
【기본출원료】 17 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 3 항 205,000 원
【합계】 234,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

서로 상보되는 데이터를 갖는 메모리 셀들이 배열되는 메모리 장치가 개시된다. 본 발명의 메모리 장치는 메모리 셀 어레이 블록, 제1 및 제2 센스앰프, 그리고 제1 및 제2 스위치를 포함한다. 메모리 셀 어레이 블록은 메모리 셀과 상보 메모리 셀로 구성되는 한 쌍의 메모리 셀들이 행들 및 열들로 배열되고, 제1 쌍의 메모리 셀들 사이에 제2 쌍의 메모리 셀과 상보 메모리 셀이 배열되어 제1 워드라인과 연결되고, 제3 쌍의 메모리 셀들 사이에 제4 쌍의 메모리 셀과 상보 메모리 셀이 배열되어 제2 워드라인과 연결된다. 제1 센스앰프는 메모리 셀 어레이 블록의 상단부에 배치되고, 제2 센스앰프는 메모리 셀 어레이 블록의 하단부에 배치된다. 제1 스위치는 제1 쌍의 메모리 셀과 상보 메모리 셀이 연결되는 비트라인들을 제1 센스앰프와 연결시키고, 제2 쌍의 메모리 셀과 상보 메모리 셀과 연결되는 비트라인들을 제2 센스앰프와 연결시킨다. 제2 스위치는 제3 쌍의 메모리 셀과 상보 메모리 셀이 연결되는 비트라인들을 제1 센스앰프와 연결시키고, 제4 쌍의 메모리 셀과 상보 메모리 셀과 연결되는 비트라인들을 제2 센스앰프와 연결시킨다. 따라서, 본 발명의 메모리 장치에 의하면, 선택된 메모리 셀과 상보 메모리 셀이 제1 및 제2 스위치를 통해 선택적으로 센스앰프와 연결되기 때문에, 배열되는 센스앰프들의 수가 줄어들고 센스앰프들을 배열함에 있어서 패턴의 밀집도가 낮아진다. 이에 따라, 메모리 장치의 레이아웃 및 집적 공정상 용이하며 동시에 동작하는 센스앰프들의 갯수가 줄어들어 전력 소비가 줄어든다.

【대표도】

도 6

【색인어】

2 트랜지스터 - 2 커패시터(2T-2C) 구조의 메모리 셀, 스위치, 센스앰프

【명세서】**【발명의 명칭】**

서로 상보되는 데이터를 갖는 메모리 셀들이 배열되는 메모리 장치{Memory device arranged memory cells having complementary data}

【도면의 간단한 설명】

도 1은 종래의 일예에 따른 2T-2C 구조의 DRAM 셀을 나타내는 도면이다.

도 2는 종래의 다른 예에 따른 2T-2C 구조의 DRAM 셀을 나타내는 도면이다.

도 3은 종래의 일예에 따른 2T-2C 구조의 FRAM 셀을 나타내는 도면이다.

도 4는 종래의 다른 예에 따른 2T-2C 구조의 FRAM 셀을 나타내는 도면이다.

도 5는 종래의 기술에 따른 도 2 또는 도 4의 메모리 셀로 배열되는 메모리 블록을 나타내는 도면이다.

도 6은 본 발명의 일실시예에 따른 메모리 셀 배열을 갖는 메모리 장치를 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 서로 상보되는 데이터를 갖는 메모리 셀들이 배열되는 메모리 장치에 관한 것이다.

<8> 일반적으로, DRAM 셀은 1 트랜지스터와 1 커패시터(1T-1C)로 구성된다. 1T-1C 구조의 DRAM 셀 대신에 2 트랜지스터와 2 커패시터(2T-2C) 구조의 DRAM 셀이 사용되기도

한다. 2T-2C 구조의 DRAM 셀은 메모리 셀 면적이 큰 단점이 있는 반면에, 하나의 DRAM 셀에다가 서로 상보적인 데이터를 저장하기 때문에 메모리 셀 센싱 마진이 1T-1C 구조의 DRAM 셀보다 2배 정도로 크고 비트라인 센스앰프를 위한 기준 전압이 필요없다는 장점이 있다.

<9> 도 1 및 도 2은 2T-2C 구조의 DRAM 단위 셀(100)을 나타내는 도면이다. 도 1을 참조하면, 제1 셀 트랜지스터(101)의 게이트는 워드라인(WL)에, 드레인(101)은 비트라인(BL)에, 그리고 소스는 제1 셀 커패시터(102)의 한쪽 전극에 연결되어 있고, 제1 셀 커패시터(102)의 다른 전극은 플레이트 라인(PL)에 연결되어 있다. 제2 셀 트랜지스터(103)의 게이트는 워드라인(WL)에, 드레인(103)은 상보 비트라인(BLB)에, 그리고 소스는 제2 셀 커패시터(104)의 한쪽 전극에 연결되어 있고, 제2 셀 커패시터(104)의 다른 전극은 플레이트 라인(PL)에 연결되어 있다. 제1 셀 트랜지스터(101)와 제1 셀 커패시터(102)는 메모리 셀(CELL)이 되고 제2 셀 트랜지스터(103)와 제2 셀 커패시터(104)는 상보 메모리 셀(CELLB)이 된다. 따라서 제1 셀 커패시터(102)에 저장되는 데이터는 제2 셀 커패시터(104)에 저장되는 데이터와 서로 상보적이다. 도 2의 2T-2C 구조의 DRAM 단위 셀(200)은 제1 셀 트랜지스터(101) 및 제1 셀 커패시터(102)와 제2 셀 트랜지스터(103) 및 제2 셀 커패시터(104)가 플레이트 라인(PL)을 기준으로 대칭(reflect)되어 레이아웃되어 있다. 도 1과 도 2의 DRAM 셀은 로우(row) 방향(또는 워드라인 방향)과 칼럼(column) 방향으로 복사(copy)되거나 대칭(reflect)되어 메모리 셀 블록 내에 레이아웃된다.

<10> 강유전체 메모리 장치(FRAM:Ferroelectric random access memory)는 다양한 구조의 메모리 셀로 구성될 수 있는 데, 도 1 및 도 2의 2T-2C 구조의 DRAM 셀과 비슷한 구조로 2-트랜지스터와 2-커패시터 구조의 FRAM 셀이 있다. 강유전성의 제1 커패시터(302)와 제

2 커패시터(304)는 서로 반대 극성으로 자화된다. 도 3 및 도 4의 FRAM 셀 연결구조는 도 1 및 도 2의 DRAM 셀 연결구조와 동일하다. 도 5는 도 2 및 도 4와 같은 단위 셀들 (200, 400)로 이루어지는 메모리 어레이를 나타내는 도면이다. 이를 참조하면, 제1 워드라인(WL0)에 연결되는 제1 내지 제8 메모리 셀들(MCi, $i=0,1,\dots,7$)과 제2 워드라인(WL1)에 연결되는 제9 내지 제16 메모리 셀들(MCi, $i=8,9,\dots,15$)은 비트라인(BLi, $i=0,1,2,3$)과 상보 비트라인(BLiB, $i=0,1,2,3$)을 통해 센스앰프들(501, 502, 503, 504)에 연결된다. 제1 및 제3 비트라인/상보 비트라인쌍(BL0/BL0B, BL2/BL2B)은 메모리 셀 어레이의 상단에 위치하는 센스앰프들(501, 503)에, 그리고 제2 및 제4 비트라인/상보 비트라인(BL1/BL1B, BL3, BL3B)은 메모리 셀 어레이의 하단에 위치하는 센스앰프들(502, 504)에 연결된다.

<11> 그런데, 이러한 메모리 블록의 배열은 메모리 용량이 커짐에 따라 배열되는 메모리 셀들의 증가와 함께 센스앰프들의 수도 증가된다. 이에 따라 센스앰프들이 차지하는 레이아웃 영역이 커지고, 센스앰프들이 조밀하게 배치되어 집적공정이 어려운 문제점이 발생한다. 게다가, 배열된 센스앰프들(S/A)은 동시에 동작되기 때문에 센스앰프들의 수가 많아지면 전력 소모가 커지는 문제점 또한 있다.

<12> 따라서, 서로 상보되는 데이터를 갖는 메모리 셀들의 배열에 있어서 칩 사이즈와 소비 전력을 줄일 수 있는 메모리 셀들의 배열이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명의 목적은 서로 상보되는 데이터를 갖는 메모리 셀들의 배열에 있어서 칩 사이즈를 줄이고 소비 전력을 줄일 수 있는 메모리 블록 배열을 갖는 메모리 장치를 제공하는 데 있다.

【발명의 구성 및 작용】

- <14> 상기 목적을 달성하기 위하여, 본 발명의 메모리 장치는 메모리 셀 어레이 블록, 제1 및 제2 센스앰프, 그리고 제1 및 제2 스위치를 포함한다. 메모리 셀 어레이 블록은 메모리 셀과 상보 메모리 셀로 구성되는 한쌍의 메모리 셀들이 행들 및 열들로 배열되고, 행 방향으로 배열된 제1 워드라인에 연결되는 제1 및 제2 메모리 셀들과 제1 및 제2 상보 메모리 셀들이 배열되고, 제2 워드라인에 연결되는 제3 및 제4 메모리 셀들과 제3 및 제4 상보 메모리 셀들이 배열되고, 제1 및 제3 메모리 셀과 제2 및 제4 메모리 셀과 제1 및 제2 상보 메모리 셀과 제3 및 제4 상보 메모리 셀이 제1 및 제2 워드라인 사이에 인접하여 배열된다. 제1 센스앰프는 메모리 셀 어레이 블록의 상단부에 배치되고, 제2 센스앰프는 메모리 셀 어레이 블록의 하단부에 배치된다. 제1 스위치는 제1 메모리 셀과 상보 메모리 셀이 연결되는 비트라인들을 제1 센스앰프와 연결시키고, 제2 메모리 셀과 상보 메모리 셀과 연결되는 비트라인들을 제2 센스앰프와 연결시킨다. 제2 스위치는 제3 메모리 셀과 상보 메모리 셀이 연결되는 비트라인들을 제1 센스앰프와 연결시키고, 제4 메모리 셀과 상보 메모리 셀과 연결되는 비트라인들을 제2 센스앰프와 연결시킨다.
- <15> 바람직하기로, 메모리 장치는 제1 및 제2 메모리 셀들과 제1 및 제2 상보 메모리 셀들 사이에, 그리고 제3 및 제4 메모리 셀들과 제3 및 제4 상보 메모리 셀들 사이에 한쌍의 메모리 셀들이 더 배열된다.
- <16> 따라서, 본 발명의 메모리 장치에 의하면, 한쌍의 메모리 셀과 상보 메모리 셀 사이에 다른 메모리 셀을 배치하고 선택된 메모리 셀과 상보 메모리 셀은 스위치를 통해 선택적으로 센스앰프와 연결되기 때문에, 배열되는 센스앰프들의 수가 줄어들고 센스앰프들을 배열함에 있어서 패턴의 밀집도가 낮아진다. 이에 따라, 메모리 장치의 레이아웃

및 집적 공정상 용이하며 동시에 동작하는 센스앰프들의 갯수가 줄어들어 전력 소비가 줄어든다.

<17> 도 6은 본 발명의 일실시예에 따른 메모리 장치를 나타내는 도면이다. 이를 참조하면, 메모리 장치(600)는 메모리 셀 어레이 블록(610), 제1 및 제2 스위치(620, 630), 그리고 제1 및 제2 센스앰프(640, 650)를 포함한다. 메모리 셀 어레이 블록(610)에는 행들 및 열들로 복수개의 메모리 셀들(MC)과 상보 메모리 셀들(MCB)이 배열되고, 행 방향으로 제1 및 제4 워드라인(WL0, WL1, WL2, WL3)이 배열되고 열 방향으로 제1 내지 제4 비트라인(BLi, $i=0,1,2,3$)과 상보 제1 내지 제4 비트라인(BLiB, $i=0,1,2,3$)이 배열된다. 제1 및 제2 워드라인(WL0, WL1)에 연결되는 메모리 셀들(MC)과 상보 메모리 셀들(MCB)은 제3 및 제4 워드라인(WL2, WL3)에 연결되는 메모리 셀들(MC)과 상보 메모리 셀들(MCB)과 동작상 거의 동일하기 때문에, 설명의 편의를 위하여, 대표적으로 제1 및 제2 워드라인(WL0, WL1)에 연결되는 메모리 셀들(MC)과 상보 메모리 셀들(MCB)에 대하여 설명된다. 메모리 셀들(MC)과 상보 메모리 셀들(MCB) 중 예컨대 MC0 셀과 MCOB 셀은 하나의 단위 메모리 셀(100, 도 1 또는 300, 도 3)을 구성한다.

<18> 제1 및 제2 메모리 셀들과 상보 메모리 셀들(MC0, MC1, MCOB, MC1B)은 제1 워드라인(WL0)에 연결되고, 제3 및 제4 메모리 셀들과 상보 메모리 셀들(MC2, MC3, MC2B, MC3B)은 제2 워드라인(WL1)에 연결된다. 제1 메모리 셀(MC0)과 제3 메모리 셀(MC2), 제2 메모리 셀(MC1)과 제4 메모리 셀(MC3), 제1 상보 메모리 셀(MCOB)과 제3 상보 메모리 셀(MC2B), 그리고 제2 상보 메모리 셀(MC1B)과 제4 상보 메모리 셀(MC3B) 각각은 제1 워드라인(WL0)과 제2 워드라인(WL1) 사이에 인접하여 배열된다. 제1 메모리 셀(MC0)은 제1 비트라인(BL0)에, 제3 메모리 셀(MC2)은 제2 비트라인(BL1)에, 제2 메모리 셀(MC1)은

제3 비트라인(BL2)에, 제4 메모리 셀(MC3)은 제4 비트라인(BL3)에, 제1 상보 메모리 셀(MC0B)은 제1 상보 비트라인(BL0B)에, 제3 상보 메모리 셀(MC2B)은 제2 상보 비트라인(BL1B)에, 제2 상보 메모리 셀(MC1B)은 제3 상보 비트라인(BL2B)에, 그리고 제4 상보 메모리 셀(MC3B)은 제4 상보 비트라인(BL3B)에 연결된다.

<19> 제1 센스앰프(640)는 메모리 셀 어레이 블록(610)의 상단에 위치하고, 제1 스위치(620)를 통하여 제1 비트라인과 제1 상보 비트라인(BL0, BL0B)과 연결되고 제2 스위치(630)를 통하여 제2 비트라인과 제2 상보 비트라인(BL1, BL1B)과 연결된다. 제2 센스앰프(650)는 메모리 셀 어레이 블록(610)의 하단에 위치하고, 제1 스위치(620)를 통하여 제3 비트라인과 제3 상보 비트라인(BL2, BL2B)과 연결되고 제2 스위치(630)를 통하여 제4 비트라인과 제4 상보 비트라인(BL3, BL3B)과 연결된다. 제1 스위치(620)가 온(on)되면 제1 비트라인 및 상보 비트라인(BL0, BL0B)이 제1 센스앰프(640)로, 그리고 제3 비트라인 및 상보 비트라인(BL2, BL2B)이 제2 센스앰프(650)로 연결된다. 제2 스위치(630)가 온(on)되면 제2 비트라인 및 상보 비트라인(BL1, BL1B)이 제1 센스앰프(640)로, 그리고 제4 비트라인 및 상보 비트라인(BL3, BL3B)이 제2 센스앰프(650)로 연결된다.

<20> 이러한 메모리 장치(600)의 독출 동작을 살펴보면 다음과 같다. 제1 워드라인(WL0)이 인에이블되고 제1 스위치(620)가 온(on)되면, 제1 메모리 셀(MC0) 데이터와 제1 상보 메모리 셀(MC0B) 데이터는 제1 센스앰프(640)로 전달되어 감지 증폭되고 제2 메모리 셀(MC1) 데이터와 제2 상보 메모리 셀 데이터(MC1B) 데이터는 제2 센스앰프(650)로 전달되어 감지 증폭된다. 이 때, 제2 스위치(630)는 오프되어 있기 때문에, 제2 비트라인과 상보 비트라인(BL1, BL1B)은 제1 센스앰프(640)과 연결되지 않고 접지 전압(VSS) 레벨로

설정되며 제4 비트라인과 상보 비트라인(BL3, BL3B)은 제2 센스앰프(650)과 연결되지 않고 접지 전압(VSS) 레벨로 설정된다.

<21> 제2 워드라인(WL1)이 인에이블되고 제2 스위치(630)가 온되면, 제3 메모리 셀(MC2) 데이터와 제3 상보 메모리 셀 데이터(MC2B) 데이터는 제1 센스앰프(640)로 전달되어 감지 증폭되고 제4 메모리 셀(MC3) 데이터와 제4 상보 메모리 셀 데이터(MC3B)는 제2 센스앰프(650)로 전달되어 감지 증폭된다. 이 때 제1 스위치(620)는 오프되어 있기 때문에, 제1 비트라인과 상보 비트라인(BL0, BL0B)은 제1 센스앰프(640)과 연결되지 않고 접지 전압(VSS) 레벨로 설정되며 제3 비트라인과 상보 비트라인(BL2, BL2B)은 제2 센스앰프(650)과 연결되지 않고 접지 전압(VSS) 레벨로 설정된다.

<22> 따라서, 본 발명의 메모리 장치(600)에 따른 메모리 배열에 의하면, 한쌍의 메모리 셀(CELL)과 상보 메모리 셀(CELLB) 사이에 다른 메모리 셀(CELL)이 한개 존재하도록 배열되고, 한쌍의 메모리 셀(CELL)과 상보 메모리 셀(CELLB)은 제1 및 제2 스위치(620, 630)를 통해 선택적으로 센스앰프들(640, 650)과 연결된다. 이에 따라, 동일한 수의 메모리 셀들을 배열하는 데 있어서, 센스앰프(640, 650) 갯수는 도 5의 종래의 메모리 장치(500) 내 배열되는 센스앰프(501, 502, 503, 504) 갯수의 반에 해당한다. 그러므로, 센스앰프들을 배열함에 있어서 패턴의 밀집도가 낮아져 레이아웃 및 집적 공정상 용이하다. 또한 동시에 동작하는 센스앰프들의 갯수도 반으로 줄어들게 되어 전력 소비가 줄어들게 된다.

<23> 이상에서, 본 발명은 실시예를 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 본 발명의 실시예는 한쌍의 메모리 셀과 상보 메모리 셀 사이에 다른 메모리 셀이 한개 존재하는 예에 대하

여 기술하고 있지만, 하나의 메모리 셀 이외에 다양한 수의 메모리 셀들이 존재할 수 있음은 물론이다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<24> 상술한 본 발명의 메모리 장치에 의하면, 한쌍의 메모리 셀과 상보 메모리 셀 사이에 다른 메모리 셀을 배치하고 선택된 메모리 셀과 상보 메모리 셀은 스위치를 통해 선택적으로 센스앰프와 연결되기 때문에, 배열되는 센스앰프들의 수가 줄어들고 센스앰프들을 배열함에 있어서 패턴의 밀집도가 낮아진다. 이에 따라, 메모리 장치의 레이아웃 및 집적 공정상 용이하며 동시에 동작하는 센스앰프들의 갯수가 줄어들어 전력 소비가 줄어든다.

【특허청구범위】

【청구항 1】

메모리 셀과 상보 메모리 셀로 구성되는 한쌍의 메모리 셀들이 행들 및 열들로 배열되고, 상기 행 방향으로 배열된 제1 워드라인에 연결되는 상기 제1 및 제2 메모리 셀들과 제1 및 제2 상보 메모리 셀들이 배열되고, 제2 워드라인에 연결되는 상기 제3 및 제4 메모리 셀들과 제3 및 제4 상보 메모리 셀들이 배열되고, 상기 제1 및 제2 워드라인 사이에 상기 제1 메모리 셀과 제3 메모리 셀 끼리, 상기 제2 메모리 셀과 제4 메모리 셀 끼리, 상기 제1 상보 메모리 셀과 제2 상보 메모리 셀 끼리, 상기 제3 상보 메모리 셀과 제4 상보 메모리 셀 끼리 인접하여 배열되는 메모리 셀 어레이 블록;

상기 메모리 셀 어레이 블록의 상단부에 배치되는 제1 센스앰프;

상기 메모리 셀 어레이 블록의 하단부에 배치되는 제2 센스앰프;

상기 제1 메모리 셀과 상보 메모리 셀이 연결되는 비트라인들을 상기 제1 센스앰프와 연결시키고 상기 제2 메모리 셀과 상보 메모리 셀과 연결되는 비트라인들을 상기 제2 센스앰프와 연결시키는 제1 스위치; 및

상기 제3 메모리 셀과 상보 메모리 셀이 연결되는 비트라인들을 상기 제1 센스앰프와 연결시키고 상기 제4 메모리 셀과 상보 메모리 셀과 연결되는 비트라인들을 상기 제2 센스앰프와 연결시키는 제2 스위치를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 메모리 장치는

상기 제1 및 제2 메모리 셀들과 상기 제1 및 제2 상보 메모리 셀들 사이에, 그리고
상기 제3 및 제4 메모리 셀들과 상기 제3 및 제4 상보 메모리 셀들 사이에 상기 한쌍의
메모리 셀들이 더 배열되는 것을 특징으로 하는 메모리 장치.

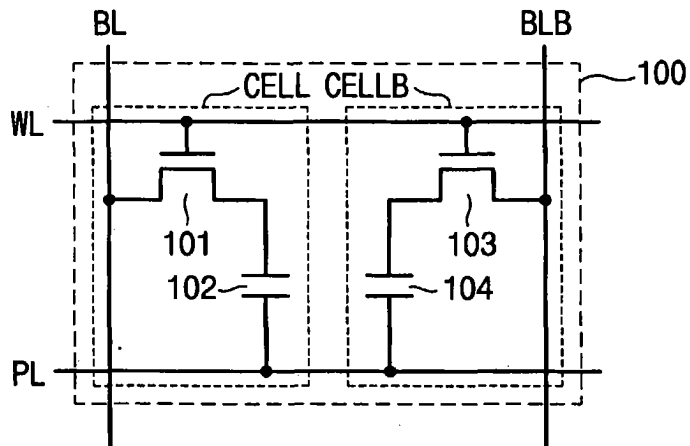
【청구항 3】

제1항에 있어서, 상기 메모리 장치는

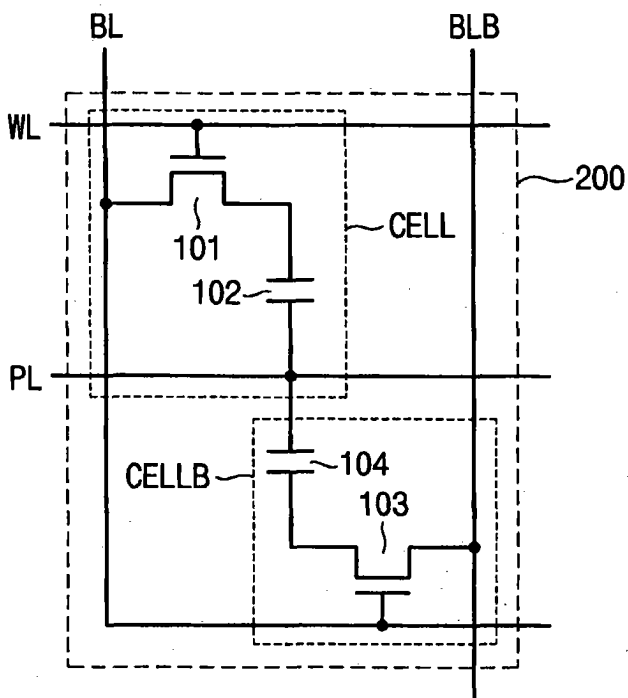
상기 제1 워드라인이 인에이블되어 상기 제1 메모리 셀과 상보 메모리 셀이 상기
제1 센스 앰프와 연결되고 상기 제2 메모리 셀과 상보 메모리 셀이 상기 제2 센스 앰프
와 연결될 때, 상기 제2 워드라인에 연결된 상기 제3 및 제4 메모리 셀들과 상보 메모리
셀들이 연결되는 비트라인들과 상보 비트라인들은 접지 전압 레벨로 설정되는 것을 특
징으로 하는 메모리 장치.

【도면】

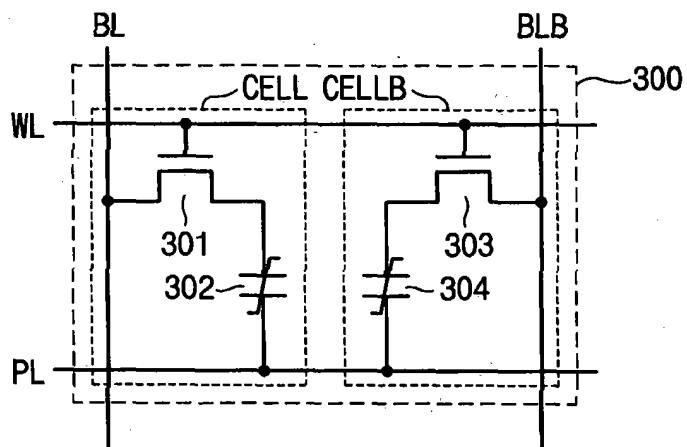
【도 1】



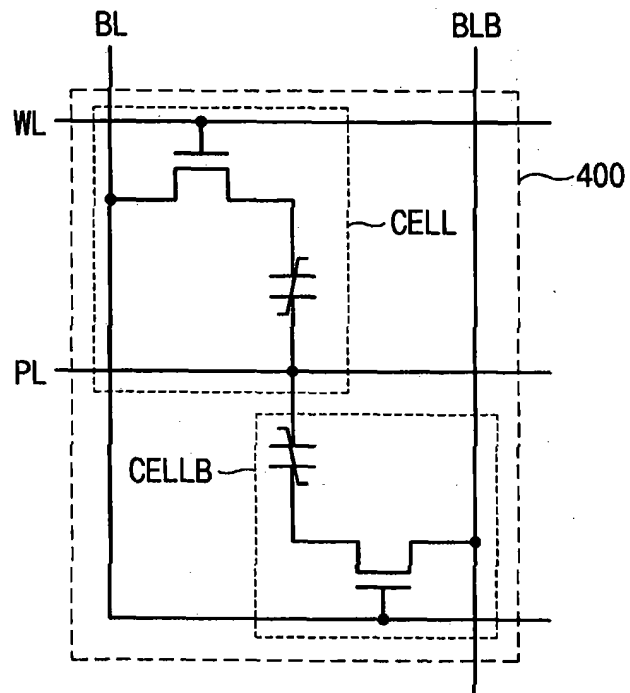
【도 2】



【도 3】

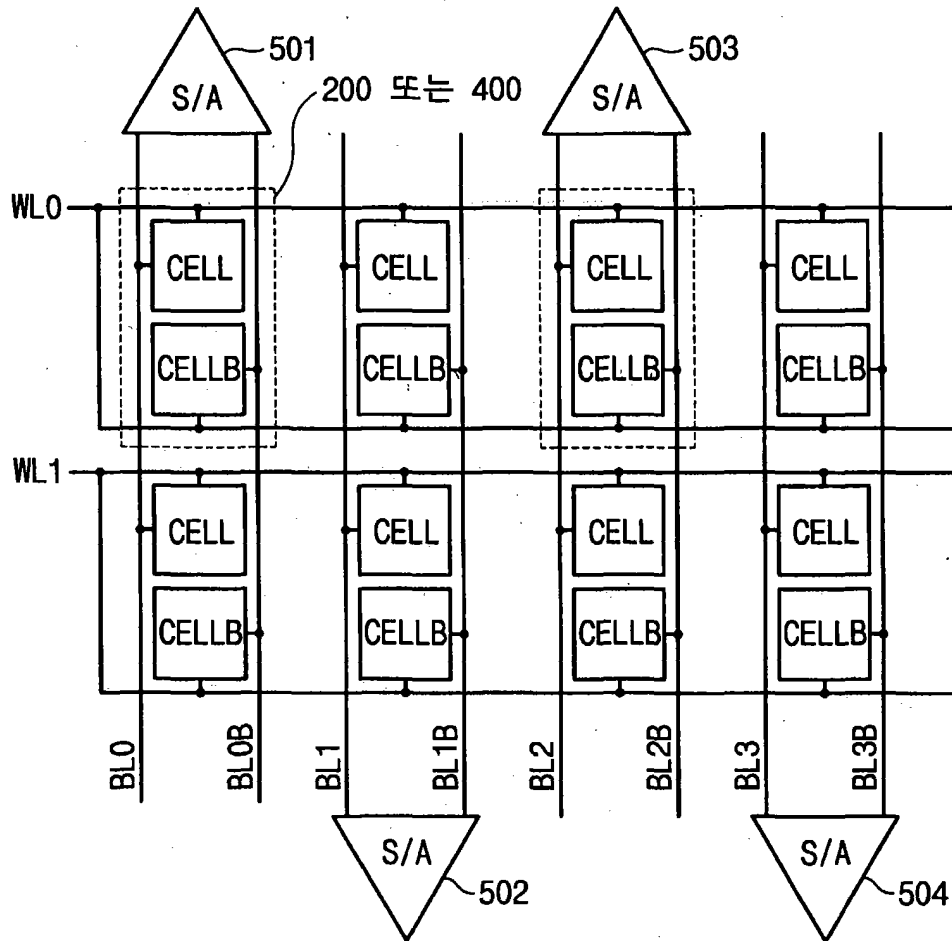


【도 4】



【도 5】

500



【도 6】

